

DOI:

АНАЛИЗ МЕТОДОВ РАЗМЕЩЕНИЯ ЭЛЕМЕНТОВ ПРИ ПРОЕКТИРОВАНИИ СПЕЦИАЛИЗИРОВАННЫХ БИС

Черников Б.В.^{1,2}, Можжухина А.В.^{2,3}, Черникова Е.А.¹

¹Российский экономический университет им. Г.В. Плеханова

²Московский институт электронной техники,

³НПК «Технологический центр»

bor-cher@yandex.ru, reania@rambler.ru, lb20062006@yandex.ru

Аннотация: Рассматриваются аспекты физического (топологического) проектирования микросхем, где основные операции – размещение ячеек на поле базового матричного кристалла и их трассировка. Приведен краткий анализ основных недостатков существующих методик размещения элементов и рассмотрены основные варианты расчета длин соединений между элементами.

Ключевые слова: физическое проектирование, топологическое проектирование, размещение, трассировка.

Введение

Проектирование микросхем – сложный и длительный процесс. Он включает в себя широкий спектр различных задач. Сложность и степень интеграции больших интегральных схем (БИС) растет с каждым годом. Наиболее приоритетными и сложными в разработке в настоящее время являются специализированные микросхемы для датчиков различного назначения [1] и интеллектуальных сенсоров. Такие сенсоры востребованы во многих отраслях, в том числе в медицине (глюкометры, устройства для помощи астматикам, датчики исследования функции сердца), в обеспечении безопасности (датчики радиации, дальномеры, фотобарьеры, портативные средства обнаружения оружия, взрывчатых веществ, датчики для автопилотирования, компьютерное зрение, обработка видео и изображений, видеонаблюдение), в различных исследованиях (космические исследования, исследования в расщелинах и впадинах мирового океана), автомобилестроении (адаптивное торможение, помощь при парковке, мониторинг препятствий и людей на пути следования транспортного средства, системы автопилотажа) и многие другие [2]. Каждую стадию проектирования подобных микросхем можно рассматривать в качестве самостоятельной задачи оптимизации. Для ее решения требуется обширный математический аппарат, в том числе: математический анализ, методы оптимизации, теория графов и другие. Таким образом, в настоящее время одним из приоритетных направлений в изготовлении отечественных БИС является совершенствование средств автоматизированного проектирования (САПР), в том числе подсистем, отвечающих за наиболее оптимальное размещение и трассировку элементов на подложке. Автоматизация процесса проектирования микросхем необходима, поскольку в связи с ростом числа элементов, входящих в состав современных микросхем, их трассировка и размещение даже на мощных компьютерах в автоматическом режиме может занимать существенное время.

1 Актуальность и цель исследования

С течением времени разработчики стремятся сделать микросхемы все более компактными, но при этом быстродействующими и обладающими низким энергопотреблением. В основном, это достигалось благодаря уменьшению размеров транзистора. Кроме этого, менялись материалы, из которых он производились, геометрия, технологический процесс. Основываясь на эмпирическом наблюдении за развитием микросхем, Гордон Мур спрогнозировал, что количество транзисторов, размещаемых на кристалле интегральной схемы, будет удваиваться каждые 24 месяца. Основными проблемами, с которыми при этом столкнулись разработчики, – это рост потребляемой мощности и перегрев микросхем вследствие утечки тока через слой диэлектрика. Поскольку многие решения по усовершенствованию транзисторов на настоящий момент находятся в стадии разработки, многие ученые считают, что близится достижение порога кремниевой технологии [3]. Несмотря на споры по действию закона Мура, развитие технологий продолжается. В настоящий момент компанией Samsung, а также исследовательским центром Imec (Бельгия) и компанией Cadence Design Systems ведутся работы в области технологического процесса «3 нм». Это означает, что прибор, которым выполняется фотолитография (вытравливание элементов на кристалле), обладает разрешающей способностью вытравливать в данном техпроцессе транзисторы размером 3 нм.

Вследствие уменьшения размера транзисторов и расстояния между элементами на микросхемах растет количество транзисторов микросхемы, а значит и количество элементов, которые необходимо

разместить и соединить при разработке. На рис. 1 видно, что количество транзисторов действительно удваивалось примерно каждые 2 года [4].

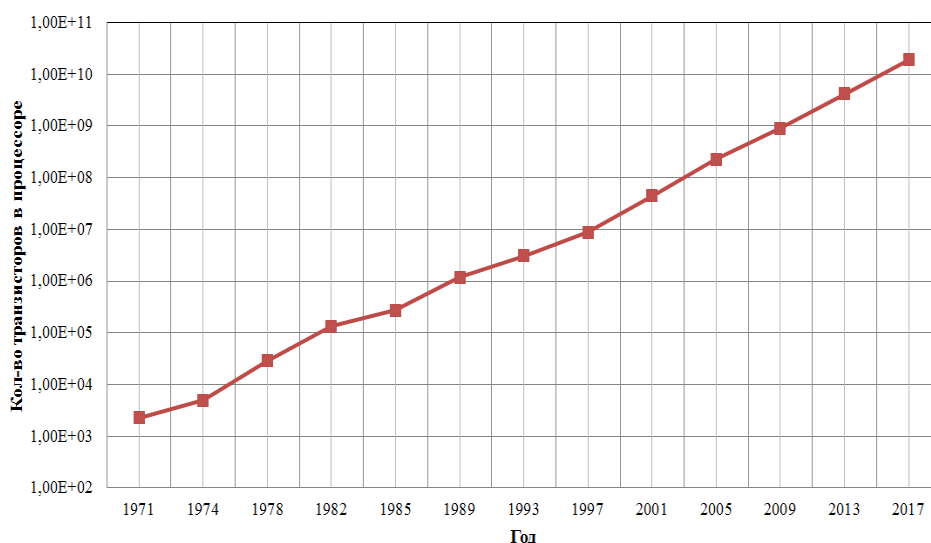


Рис. 1. Рост количества транзисторов в соответствии с законом Мура

Для создания качественных микросхем, в частности, необходимо оптимально разместить элементы на подложке. То, каким образом элементы будут размещены и соединены, может напрямую повлиять как на временные и мощностные характеристики, так и на стабильность работы микросхемы.

Несмотря на многолетние исследования в области создания и совершенствования алгоритмов и технологий размещения, проблема оптимизации по-прежнему актуальна. Часто при большом количестве элементов алгоритмы размещения и трассировки работают непозволительно долго – от нескольких часов до нескольких суток. Таким образом, для большинства постановок задачи о размещении и трассировке элементов не существует достаточно эффективных алгоритмов, способных найти оптимальное решение за приемлемое время, так как основное количество алгоритмов являются модификациями алгоритма полного перебора вариантов размещения. В связи с этим необходима разработка алгоритмов, которые в ограниченное время находят решения, близкие к оптимальным.

Целью настоящей статьи является анализ критериев оптимальности размещения элементов и рассмотрение основных существующих методов размещения элементов в процессе разработки микросхем в интересах последующего поиска путей оптимизации размещения элементов при проектировании микросхем.

2 Структура существующего маршрута проектирования

При создании микросхема проходит ряд этапов. Основной маршрут проектирования микросхем объединяет следующие этапы, предложенные НПК «Технологический центр» [5]:

- системное проектирование – разработка системной спецификации и требований к БИС;
- функциональное проектирование – на базе поведенческой модели создается RTL-описание (register transfer level – уровень регистровых передач, в разработке интегральных микросхем – описание работы синхронной цифровой схемы) проектируемой микросхемы, а также проводятся его моделирование;
- логическое проектирование – генерируется структурное описание схемы, состоящее из логических вентилях и их соединений (netlist), проводится логический синтез, функционально-логическое моделирование (ФЛМ);
- физическое (топологическое) проектирование – выполняется размещение ячеек на поле базового матричного кристалла (БМК), синтез топологии с учетом списков цепей, расчет задержек цепей топологии БИС, оценивается устойчивость проекта БИС при различных внешних воздействиях, проводится анализ влияния параметров топологии на правильность функционирования и устойчивость проекта;
- производство БИС;
- тестирование БИС в составе пластины и составе корпуса;
- квалификационные испытания БИС – испытания на надежность, радиационную стойкость и др.;

- испытания БИС в составе аппаратуры заказчика.

Таким образом, к моменту размещения и трассировки элементов на подложке уже известны требования к микросхеме, технология, библиотека функциональных ячеек, создан netlist и проведено моделирование.

3 Критерии оптимальности размещения

Важными показателями для разработки качественной микросхемы являются мощность, частота и площадь. Это выражается в предъявляемых к БИС требованиях: энергопотребление, быстродействие и габариты. Таким образом, для создания микросхемы необходимо минимизировать энергопотребление, увеличить быстродействие и уменьшить размеры. Значит, качественная микросхема должна быть как можно меньше по габаритам, потреблять при этом как можно меньше энергии, а работать – как можно быстрее.

Минимальным критерием размещения, на настоящий момент используемом в САПР «Ковчег» семейства 5503, является суммарная длина соединений между элементами. Это связано с тем, что, в основном, благодаря этой характеристике удается повысить быстродействие, минимизировать площадь и сократить энергопотребление. При этом необходимо соблюдать определенные ограничения по минимизации соединений, поскольку при малой длине соединений повышается их плотность, что приводит не только к сложностям для их проведения, но и к возможному усилению перекрестных помех между соединениями. В связи с этим обычно вводится критерий возможности прокладки соединений – перегруженность, или плотность размещения. Учитывающие этот критерий алгоритмы стараются распределить все элементы по микросхеме равномерно.

Кроме этого, оценивают показатели производительности – задержку и расход энергии. Все потоки данных с помощью триггеров разбиваются на части. Между двумя триггерами сигнал должен пройти за определенное время – период. Однако чем больше расстояние между элементами, тем дольше идет сигнал, то есть растет емкость. Это и есть задержка [6]. Таким образом, при размещении алгоритм должен расположить элементы так, чтобы сигнал успел преодолеть расстояние между триггерами за отведенное время. В общем случае переключение сигнала должно выглядеть как на рис. 2, а. Если элементы находятся далеко друг от друга или это соединение объединяет много элементов, то емкость (соответственно, и время переключения сигнала) будет расти, фронт сигнала на диаграмме «заваливается» (рис. 2, б). В отличие от двух предыдущих критериев, показатели для этого случая трудно оценить при помощи простых геометрических расчетов.

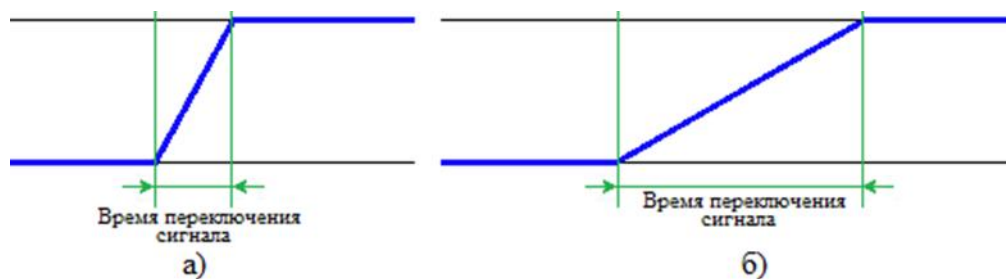


Рис. 2. Изменение времени переключения сигнала при малой (а) и большой (б) емкости

В то же время, несмотря на введенные критерии оптимальности, существует опасный эффект, трудно предсказуемый заранее. Это возможность образования из смежных соединений конденсатора, что приводит к росту энергопотребления, временной задержке или даже колебаниям напряжения. Выявить этот эффект возможно только после размещения и трассировки элементов микросхемы. Поскольку основным критерием оптимальности размещения по-прежнему остается минимальность длины соединений, необходимо рассмотреть основные методы расчета расстояния между элементами, то есть рассчитать теоретическое расстояние для размещения элементов, а также определить основные алгоритмы минимизации длины соединений.

Для случая критерия минимизации длины соединений постановка задачи выглядит следующим образом.

Пусть даны элементы микросхемы для размещения $e_1, e_2, \dots, e_n, \dots, e_N$. Для определения соединений элементов можно задать, например, матрицу смежности, так как в общем случае соединенные между собой элементы могут быть представлены в виде графа. Кроме этого, на микросхеме задается план – фиксированный набор позиций, в которые должны быть размещены элементы $P_1, P_2, \dots, P_m, \dots, P_M$ причем сумма N элементов по площади не может быть больше площади микросхемы:

$$(1) \quad \sum_{n=1}^N S(e_n) \leq \sum_{m=1}^M S(P_m).$$

Таким образом, имеется $n!$ вариантов размещений элементов, при расчете которых необходимо учесть $r(n,m)$ – расстояние между центрами позиций P_n и P_m элементов. После перемещения какого-либо элемента e_n в новую позицию P_m оценивается изменение вклада расстояния между этим и соединенными с ним элементами в общую сумму расстояний:

$$(2) \quad \sum_{n,m=1}^{N,M} r_{n,m}.$$

Для создания качественной микросхемы (в частности, для достижения высокой производительности) необходимо найти такую оптимальную расстановку, при которой будет обеспечена минимальная сумма расстояний:

$$(3) \quad R = \min \sum_{n,m=1}^{N,M} r_{n,m}.$$

4 Основные методы минимизации длины соединений

При размещении элементов в поле БМК необходимо приблизительно рассчитывать расстояние между элементами, оценивая длину соединения, получаемого при такой постановке элемента, а также вклад ее в общую сумму длины соединений микросхемы.

Наиболее эффективен и широко используется на практике метод полупериметра, окаймляющего соединение прямоугольника. На практике метод позволяет достаточно точно оценить длину соединения между двумя или тремя элементами, однако если элементов больше, то метод дает заниженную оценку. В данном случае существует несколько вариантов самого окаймляющего прямоугольника (рис. 3). На рисунке желтым цветом с точкой выделен размещаемый элемент, а уже размещенные элементы представлены в виде схематичных ячеек БМК.

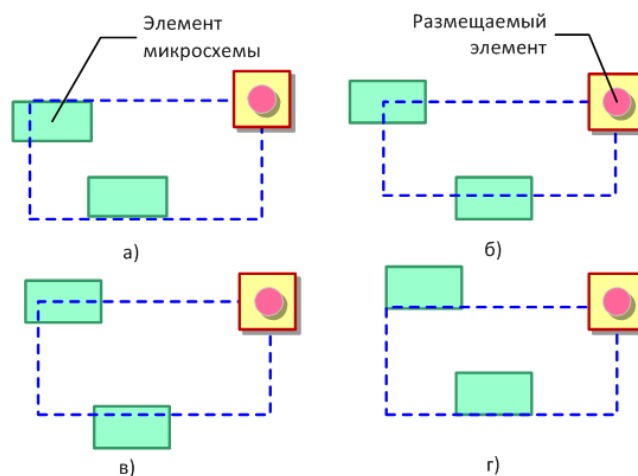


Рис. 3. Варианты окаймляющего прямоугольника: а) окаймляющий прямоугольник охватывает контакты целиком; б) охватываются центры элементов; в) охватывается часть контактов, которая была бы захвачена при построении дерева Штейнера; г) окаймляющий прямоугольник проводится через левые нижние углы элементов

Чаще всего используются методы б) и в). Из них наиболее точно оценивает расстояние между соединенными элементами метод в), а метод б) – проще всего реализуется. В САПР «Ковчег», например, используется вариант б) окаймляющего прямоугольника [5]. Расчет длин соединений методом полупериметров осуществляется следующим образом (рис. 4).

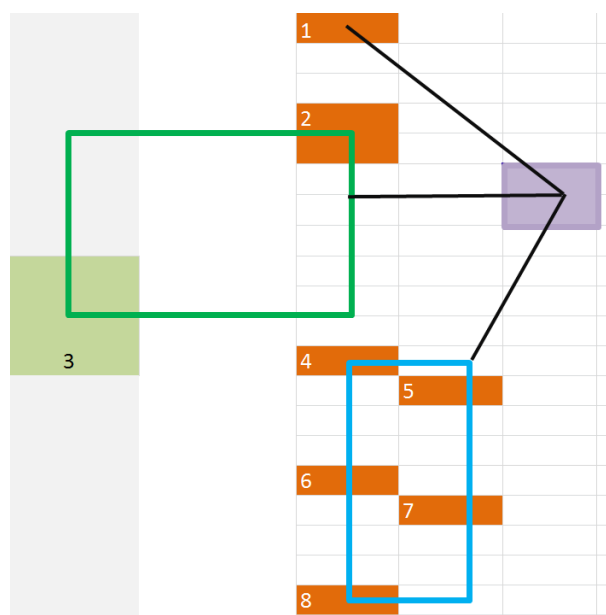


Рис. 4. Упрощенное отображение связей при перемещении элемента

Проводится расчет суммарного вклада в соединения от перемещения ячейки с помощью окаймляющих прямоугольников для групп элементов. На схеме приведен пример расчета для нескольких групп соединенных между собой элементов и внешнего контакта схемы – периферийной ячейки (светло-зеленый элемент 3). Поле с ячейками для размещения основных элементов (1, 2, 4-8) представляет собой схематичное поле БМК, используемого для производства БИС, где одна ячейка содержит по четыре нескоммутированных транзистора, образующих один условный вентиль. В данном случае сумма состоит из нескольких компонентов, в том числе учитываются следующие:

- расстояния между элементами 2 и 3 (зеленый окаймляющий прямоугольник);
- расстояния между пятью элементами 4 – 8 (синий окаймляющий прямоугольник).

Далее к сумме этих полупериметров добавляются расстояния от прямоугольников полупериметров (черные линии), до размещаемого элемента (фиолетовый прямоугольник). Таким образом, можно сделать вывод об уменьшении или увеличении суммарной длины соединений, что может отображаться визуально цифрами в САПР. Такая визуализация в САПР «Ковчег», например, сделана для ручного режима расстановки в сложных схемах и для проверки рациональности расстановки. В ручном режиме размещения элементов на экран компьютера выводится число, обозначающее, на какую величину будет скорректирована общая сумма расстояний. В зависимости от подсветки этого числа в интерфейсе САПР определяется, увеличилась общая сумма расстояний или уменьшилась. Возможность ручного режима предусмотрена в САПР в связи с высокой продолжительностью работы алгоритмов размещения: разработчик может в любой момент прервать алгоритм с помощью настроек и закончить размещение элементов самостоятельно.

5 Основные подходы к решению задачи о размещении элементов микросхемы

В основном, при размещении элементов выделяют следующие методы.

1. Самым первым был применен метод имитации отжига. Применительно к задаче о размещении берется начальное размещение элементов, которое путем перестановок элементов пытаются улучшить, принимая или отвергая преобразования в соответствии с критериями оптимизации. Элемент для перестановки выбирается на основе выбранного вероятностного распределения. Чаще всего для минимизации ориентируются на суммарную примерную длину соединений от окаймляющего прямоугольника. Из минусов этого метода – значительность времени, затрачиваемого на его работу, так как метод отжига, состоящий в переборе всех возможных комбинаций чаще всего работает до тех пор, пока сумма не станет близка к заданной, так как при большом количестве элементов **алгоритм** может минимизировать сумму до бесконечности даже при использовании технологий параллелизма. Соответственно, суждение об оптимальности получаемого размещения является субъективным. Однако по сравнению с генетическими алгоритмами, по Ингбергу, в большинстве задач метод не проигрывает, а на многих – даже выигрывает.

2. Подобным образом применялись различные генетические алгоритмы. Чаще всего они использовались с параллелизмом, т.е. с использованием возможностей компьютера по выполнению

нескольких операций одновременно, так как были слишком медленными. Преимущество генетических алгоритмов заключается в том, что они относительно стойки к попаданиям в локальные оптимумы. Однако за счет этого они гораздо медленнее находят даже приближенный глобальный оптимум. В 2000-х годах наблюдается всплеск интереса к данной тематике, внимание уделяется совершенствованию алгоритма и техник его параллелизации (например, [7]). Однако, как утверждают сами авторы, время работы все еще очень высоко.

3. Итерационный или дихотомический подход – методы, строящиеся на постепенном понижении размерности задачи. На каждой итерации множество элементов микросхемы разбивается на несколько подмножеств, каждое из которых снова дробится, и так далее. Из общих недостатков алгоритмов данного типа выделяются их относительно высокая сложность построения оптимального дерева разбиений схемы (задача сбалансированного разбиения графа является NP-полной, поэтому для ее решения используются эвристические алгоритмы, не являющиеся гарантированно точными или оптимальными) и упрощенная оценка соединений. Кроме того, использование эвристических алгоритмов не гарантирует нахождение верного решения и нахождение решения в принципе, даже если оно существует, что в совокупности с затрачиваемым на работу алгоритма с большим количеством размещаемых элементов временем делает его нежелательным к использованию без модификаций и улучшений.

4. Так называемые силовые, или аналитические, методы. Их особенность заключается в том, что задача размещения формулируется как математическая задача или задача механики. В первом случае представляется задача математического программирования с квадратичной функцией стоимости. Во втором – применяются законы физики. Чем больший вес у соединения, тем сильнее соединенные элементы должны притягиваться и тем ближе должны располагаться. Кроме этого, добавляются дополнительные силы, позволяющие скомпенсировать притяжение и не дать сгруппироваться всем элементам в центре микросхемы. Самый простой случай, когда вводится сила, обратно пропорциональная расстоянию. Иногда в качестве таких сил используют периферийные ячейки или ячейки вводов-выводов [8]. Из минусов алгоритмов этой группы можно выделить их сложность для реализации и медлительность при большом количестве элементов и связей в микросхеме.

Таким образом, поскольку у каждого подхода имеются определенные недостатки, в частности, связанные со сложностью микросхемы, количеством элементов и налагаемых ограничений, представляется целесообразным применение нейронных сетей в анализе проектов микросхемы для выбора наиболее подходящего для размещения метода. Генетические алгоритмы, в основном, используются с параллелизацией, следовательно, их использование, напрямую зависящее от мощности процессора, не подходит для ускорения размещения. Еще одним вариантом решения поставленной задачи является размещение элементов на основании анализа сверточных нейронными сетями определенного семейства проектов, так как такая сеть может оказаться намного быстрее стандартных алгоритмов.

6 Направления последующего исследования

В настоящее время в России возрастает заинтересованность в специализированных микросхемах. Из-за невозможности использования бесплатных зарубежных и отечественных САПР в связи с низким уровнем безопасности и нецелесообразности покупки целых линеек дорогостоящих зарубежных САПР для одной конкретной подсистемы или функции, а также в связи с отсутствием сопоставимых по мощности отечественных инструментов топологического проектирования, необходимо не только разработать надежную и проверенную отечественную САПР, но и обеспечить наличие в ней современных, быстродействующих инструментов с целью снижения трудозатрат отечественных разработчиков, повышения безопасности проектов БИС и уменьшения времени процесса вывода микросхем на рынок.

В рамках достижения поставленных целей необходимо решить следующие задачи.

1. Проанализировать существующие методики трассировки элементов на подложке микросхемы с целью выявления наиболее затратных этапов методик для их совершенствования или создания собственного метода.

2. Разработать методику и реализующие ее алгоритмы размещения и трассировки элементов на подложке микросхемы для снижения ресурсоемкости этапа топологического проектирования на основе выявленных узких мест в этапах других методик.

3. Обосновать и доказать преимущество новой методики по сравнению с используемыми.

Выводы

1. В качестве основных недостатков существующих методов размещения элементов микросхемы отмечены высокая затратность по времени, особенно при размещении большого количества элементов, а также малая гибкость при решении задач с разной степенью сложности, что свидетельствует о необходимости разработки нового, более эффективного, решения.

2. На основании анализа основных подходов к решению задачи размещения элементов микросхемы при проектировании и в связи с отсутствием достойных отечественных аналогов таких алгоритмов, а также высокой стоимостью зарубежного ПО, не всегда полностью соответствующего маршрутам проектирования отечественных БИС, выявлена необходимость создания собственной инновационной методики для решения поставленной задачи.

3. Сформулированы цели и задачи на последующее исследование, направленное на совершенствование методов размещения и трассировки элементов на подложке микросхемы и создания новой методики с использованием искусственного интеллекта.

Литература

1. Патрушева Т.Н. Сенсорика. Современные технологии микро- и нанoeлектроники. – М.: ИНФРА-М, 2014. – 260 с.
2. Войтович И., Корсунский В. Интеллектуальные сенсоры. – М.: Бином, Лаборатория знаний, 2009. – 624 с.
3. Журавлева Л. М. Закон Мура и развитие устройств обработки и передачи информации // Информационные технологии. – 2011. – №11. – С. 2-9.
4. Закон Мура [Электронный ресурс] // Tadviser. Государство. Бизнес. ИТ. Аналитика. URL: http://www.tadviser.ru/index.php/Статья:Закон_Мура (дата обращения: 28.02.2020).
5. Гаврилов С.В., Денисов А.Н., Коняхин В.В., Соколовская М.М. Полузаказные БИС на БМК серий 5503 и 5507. В 4 кн.: Практик. пособ. Кн. 2. Система автоматизированного проектирования «Ковчег 3.04» / Под. общ. ред. академика РАН А.Н. Саурова. – М.: Техносфера, 2019. – 300 с.
6. Джурунтаев Д. 3. Размещение элементов СБИС с учетом временных задержек распространения сигналов // Тр. VII казахстанско-российской межд. науч.-практ. конф. «Математическое моделирование научно-технологических и экологических проблем в нефтегазодобывающей промышленности». – Алматы: 2010. – С. 87-92.
7. Lu G., Areibi S.. An island-based GA implementation for VLSI standard-cell placement // Genetic and Evolutionary Computation Conference. – Seattle, WA, USA, Proceedings, Part II, June 26-30, 2004. – P. 1138-1150.
8. Коняхин В.В., Денисов А.Н., Федоров Р.А., Вильсон А.Л., Бражников С.С., Коновалов В.С., Малашевич Н.И., Росляков А.С. Микросхемы для аппаратуры космического назначения. Практическое пособие. Изд. 2-е, испр. и доп. / Под общ. ред. академика РАН А.Н. Саурова. – М.: Техносфера, 2017. – 388 с.